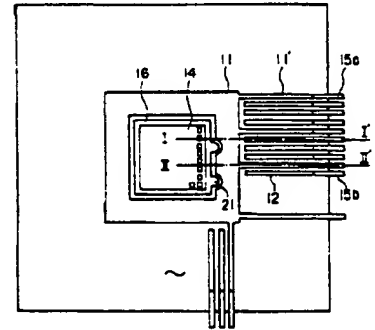


JP 406132419 A
MAY 1994**(54) SEMICONDUCTOR DEVICE**

(11) 6-132419 (A) (43) 13.5.1994 (19) JP
(21) Appl. No. 4-283006 (22) 21.10.1992
(71) TOSHIBA CORP (72) MASASHI OTSUKA
(51) Int. Cl.⁸ H01L23/12, H01L23/50

PURPOSE: To reduce inductance of a power-supply interconnection and a grounding interconnection by a two-layer structure package, to lower the production cost of the package and to lower the thermal resistance of a device.

CONSTITUTION: A conductor layer (a bed) 16 is formed in the central part on one main face of an insulating substrate. A ring-shaped power-supply conductor layer 11 is formed so as to surround the circumference of the conductor layer 16. A plurality of power-supply interconnections 11' are formed radially from the outer circumferential part of the power-supply conductor layer 11. Signal interconnections 12 and grounding interconnections are formed between the individual power-supply interconnections 11'. A grounding conductor layer is formed on the whole of the other main face of the insulating substrate. The conductor layer 16 and the grounding conductor layer as well as the grounding interconnections and the grounding conductor layer are electrically connected respectively by through holes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-132419

(43) 公開日 平成6年(1994)5月13日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

23/50

U 9272-4M

X 9272-4M

9355-4M

9355-4M

H 0 1 L 23/ 12

E

Q

審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く

(21) 出願番号

特願平4-283006

(22) 出願日

平成4年(1992)10月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大塚 雅司

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

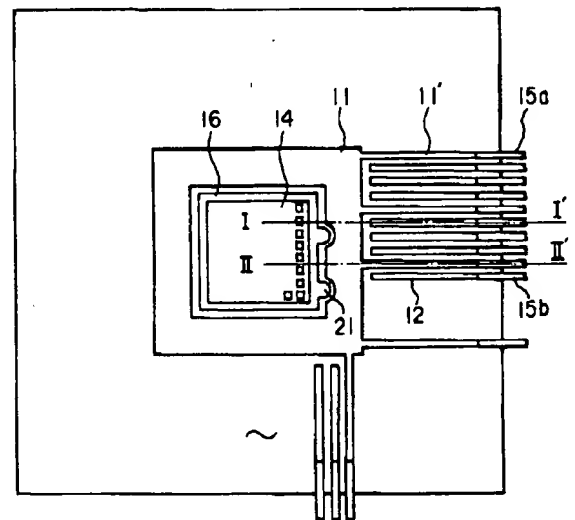
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 二層構造のパッケージで電源配線及び接地配線のインダクタンスの低減を図り、同時にパッケージの製造コストを低くし、低熱抵抗化を図る。

【構成】 絶縁基板の一主面の中央部には、導体層(ベッド) 16 が形成されている。導体層 16 の周囲を取り囲むようにリング状の電源導体層 11 が形成されている。電源導体層 11 の外周部からは、放射状に複数の電源配線 11' が形成されている。各電源配線 11' の間には、信号配線 12 及び接地配線が形成されている。また、絶縁基板の他の主面の全体には、接地導体層が形成されている。導体層 16 と接地導体層、及び、接地配線と接地導体層は、それぞれスルーホールによって互いに電気的に接続されている。



【特許請求の範囲】

【請求項1】 絶縁基板と、上記絶縁基板の一主面の中央部に形成され、上面にLSIチップが搭載される第1の導体層と、上記第1の導体層の周囲を取り囲むようにリング状に形成される第2の導体層と、上記第2の導体層の外周部から放射状に形成される複数の第1の配線パターンと、一端及び他端を有し、上記第1の配線パターンの間に形成される複数の第2の配線パターンと、上記絶縁基板の他の主面の全体に形成される第3の導体層と、上記第1の導体層と上記第3の導体層を電気的に接続するための第1のスルーホールと、上記第2の配線パターンのうち予め決められたものと上記第3の導体層を電気的に接続するための第2のスルーホールとを具備することを特徴とする半導体装置。

【請求項2】 上記第1の導体層には、ボンディング用の突起部が形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、多ピンQFPに関するもので、特に低熱抵抗や低ノイズを要求されるチップの封止用として使用されるものである。

【0002】

【従来の技術】 G. A. (Gate Array) や S I (Super Integration) などの L S I は、年々、高集積化、高速化、低消費電力化の傾向が顕著になっている。これに伴い、パッケージも、低熱抵抗や電気特性の向上等が要求されてきている。

【0003】 低熱抵抗のパッケージとしては、図6に示すような構造の半導体装置が知られている。この半導体装置の特徴は、LSIチップ1で発生した熱が、ヒートスプレッド2及びポリイミド層3を介して、各リード4へ伝えられる点にある。これにより、低熱抵抗のパッケージを達成している。しかし、LSIチップ1のパッドから各リード(ピン)4までの等価回路は、図7に示すようになる。これをパッケージの電気的特性としてみると、チップ1内の素子を高速動作させたときにΔIノイズやクロストークノイズが発生し、かかるノイズが問題となる。

【0004】 そこで、上記ノイズの低減のため、接地配線及び電源配線のインダクタンスを低減させたパッケージとして、例えば図8や図9に示すような半導体装置が開発されている。

【0005】 図8の半導体装置は、パッケージが三層構造を有しており、接地層5、電源層6及び信号層7がそれぞれ独立に形成されているものである。なお、各々の層は、絶縁層8によって互いに絶縁され、また、各リード9に接続されている。しかし、この半導体装置は、電気特性の向上に関しては有効であるが、製造に際して多くの金型を必要とするのに加えて、製造工程も複雑であ

るために、パッケージの製造コストが高くなる欠点がある。また、熱抵抗に関しては、二つの絶縁層8を介するため、目覚ましい効果を得ることはできない。

【0006】 図9の半導体装置は、パッケージが二層構造を有しており、下層を接地層5とし、上層を電源、信号層10として、電源層と信号層を共用しているものである。この半導体装置では、接地層5のインダクタンス低減には効果的であるが、電源層については、相変わらずΔIノイズやクロストークノイズが発生するという欠点がある。

【0007】

【発明が解決しようとする課題】 このように、従来は、ΔIノイズやクロストークノイズの発生を防止すべく、接地配線及び電源配線のインダクタンスの低減が要求されている。しかし、従来の半導体装置では、電気特性を向上させることができるが、反面、パッケージの製造コストが高くなり、また、半導体装置の低熱抵抗化を達成できないという欠点がある。

【0008】 本発明は、上記欠点を解決すべくなされたもので、その目的は、二層構造のパッケージで電源配線及び接地配線のインダクタンスの低減を図ることにより、同時にパッケージの製造コストを低くし、かつ、低熱抵抗化にも貢献し得る半導体装置を提供することである。

【0009】

【課題を解決するための手段】 上記目的を達成するため、本発明の半導体装置は、絶縁基板と、上記絶縁基板の一主面の中央部に形成され、上面にLSIチップが搭載される第1の導体層と、上記第1の導体層の周囲を取り囲むようにリング状に形成される第2の導体層と、上記第2の導体層の外周部から放射状に形成される複数の第1の配線パターンと、一端及び他端を有し、上記第1の配線パターンの間に形成される複数の第2の配線パターンと、上記絶縁基板の他の主面の全体に形成される第3の導体層と、上記第1の導体層と上記第3の導体層を電気的に接続するための第1のスルーホールと、上記第2の配線パターンのうち予め決められたものと上記第3の導体層を電気的に接続するための第2のスルーホールとを備えている。また、上記第1の導体層には、ボンディング用の突起部が形成されている。

【0010】

【作用】 上記構成によれば、第2の導体層は、第1の導体層の周囲を取り囲むようにリング状に形成されている。また、第3の導体層は、絶縁基板の他の主面の全体に形成されている。つまり、第2及び第3の導体層のインダクタンスは低く、これらの導体層を電源、接地層として使用すれば、ΔIノイズやクロストークノイズの発生を防止することができる。また、二層構造であり、製造コストも低く抑えることが可能である。さらに、LSIチップで発生する熱は、第1及び第3の導体層や第2

の配線パターンなど全て金属を介して排出されるため、低熱抵抗化にも貢献できる。また、第1の導体層にボンディング用の突起部を設ければ、当該第1の導体層に省スペースでボンディング部を確保できる。

【0011】

【実施例】以下、図面を参照しながら、本発明の一実施例について詳細に説明する。図1は、本発明の一実施例に係わる半導体装置を上面から見た図である。また、図2は、当該半導体装置を下面から見た図である。本発明のパッケージは、二層構造を有している。即ち、ポリイミド、ガラエポ、プリブレイグ（ガラス繊維にポリイミドを含ませたもの）等から構成される絶縁基板の上面には、電源VDD層及び信号層が形成され、当該絶縁基板の下面には、接地GND層が形成されている。

【0012】上面に形成された電源VDD層は、LSIチップ14を取り囲むように形成されたリング状の導体層（VDDバス）11から構成されている。また、リング状の導体層11は、さらにその外周から放射状に複数本の電源配線（インナーリード）11'を有している。各電源配線11'の先端には、電源ピン15aが接続されている。

【0013】また、上面に形成された信号層は、一端及び他端を有し、各電源配線11'の間に配置された信号配線（インナーリード）12から構成されている。信号配線12の一端には、ボンディングワイヤが接続され、その他端には、信号ピン15bが接続されている。

【0014】さらに、下面に形成された接地GND層は、絶縁基板の表面全体に形成された導体層13から構成されている。また、絶縁基板の上面において、LSIチップ14の直下にも、導体層（ベッド）16が形成されており、導体層13と16は、互いにスルーホール17を介して電氣的に接続されている。なお、導体層16には、ボンディング用の突起部21が設けられている。また、上記電源配線11'の間の信号配線12に混じって接地配線13'が形成されており、導体層13と接地配線13'は、互いにスルーホール18を介して電氣的に接続されている。接地配線13'には、接地ピン15cが接続されている。

【0015】図3～図5は、それぞれ上記電源VDD層、信号層及び接地GND層の構成を側面から見た状態を示す図である。即ち、図3は、図1のI-I'線に沿う断面図、図4は、図1のII-II'線に沿う断面図、図5は、図2のIII-III'線に沿う断面図である。

【0016】厚さ約0.1mmの絶縁基板19の上面及び下面には、上記電源VDD層、信号層及び接地GND層を構成する金属膜が形成されている。本発明の半導体装置は二層構造であるため、この金属膜は24～35μmと極めて薄くすることが可能である。信号層において、信号配線12の一端は、ボンディングワイヤ20を介してLSIチップ14に接続され、その他端は、信号ピン

15bに接続されている（図3参照）。電源VDD層において、リング状の導体層11の内周部は、ボンディングワイヤ20を介してLSIチップ14に接続され、さらに電源配線11'は、電源ピン15aに接続されている（図4参照）。接地GND層において、絶縁基板19の下面の導体層13とLSIチップ14直下の導体層（ベッド）16とは、互いにスルーホール17を介して電氣的に接続されている。導体層13と接地配線13'は、互いにスルーホール18を介して電氣的に接続されている。接地配線13'には、接地ピン15cが接続されている（図5参照）。

【0017】上記構成の半導体装置によれば、まず、パッケージが二層構造であるため、製造コストの低減を図ることができる。これに加えて、電源VDD層は絶縁基板上面のリング状の導体層から構成され、接地GND層は絶縁基板下面全体に形成される導体層から構成されているため、電源VDD層及び接地GND層のインダクタンス低減が可能であり、電気特性に優れたパッケージを提供できる。

【0018】また、半導体装置のヒートバスに関しては、チップ→ペースト→ベッド→スルーホール→接地導体層→スルーホール→インナーリード→ピンという経路、即ち全て金属層を経て熱が排出されるため、大変に放熱性が向上する。さらに、バイパスコンデンサ効果等の効果が二層基板で実現できるため、熱特性、電気特性に優れたパッケージが安価に提供できる。

【0019】

【発明の効果】以上、説明したように、本発明の半導体装置によれば、次のような効果を奏する。電源VDD層は絶縁基板上面のリング状の導体層から構成され、接地GND層は絶縁基板下面全体に形成される導体層から構成されている。これにより、二層構造のパッケージで電源配線及び接地配線のインダクタンスの低減を図ることができ、同時に、パッケージの製造コストを低くし、かつ、低熱抵抗化にも貢献し得る半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる半導体装置を示す上面図。

【図2】本発明の一実施例に係わる半導体装置を示す下面図。

【図3】図1のI-I'線に沿う断面図。

【図4】図1のII-II'線に沿う断面図。

【図5】図2のIII-III'線に沿う断面図。

【図6】従来の半導体装置を示す図。

【図7】図6のチップからピンまでの等価回路を示す図。

【図8】従来の半導体装置を示す図。

【図9】従来の半導体装置を示す図。

【符号の説明】

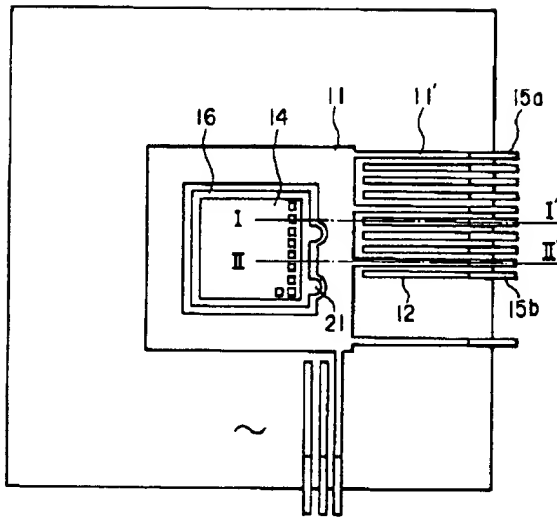
5

- 11 …リング状電源導体層、
 11' …電源配線、
 12 …信号配線、
 13 …接地導体層、
 13' …接地配線、
 14 …L S Iチップ、
 15a …電源ピン、

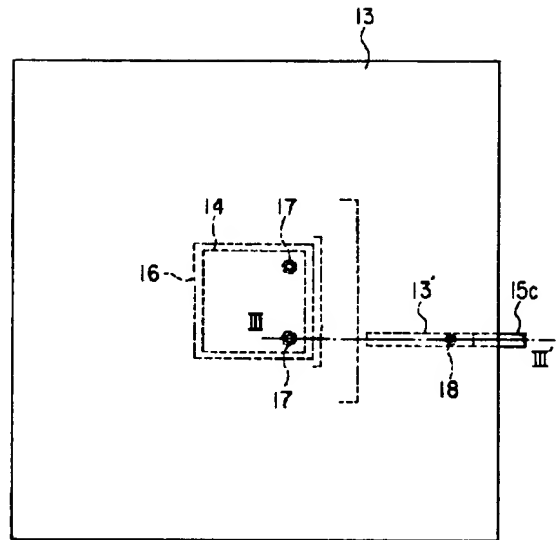
6

- 15b …信号ピン、
 15c …接地ピン、
 16 …導体層(ベッド)、
 17、18 …スルーホール、
 19 …絶縁基板、
 20 …ボンディングワイヤ、
 21 …突起部。

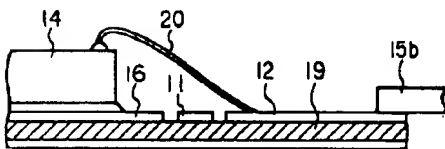
【図1】



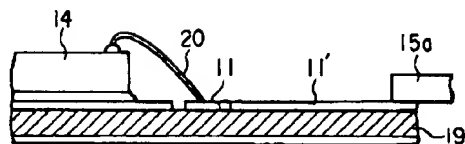
【図2】



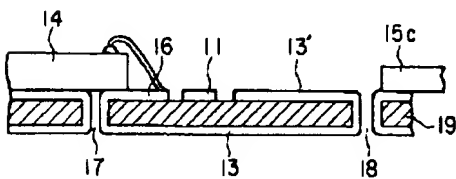
【図3】



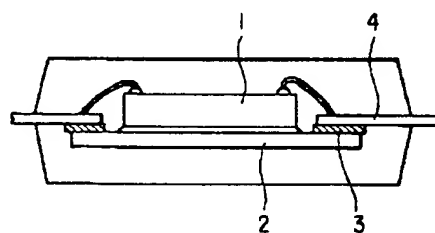
【図4】



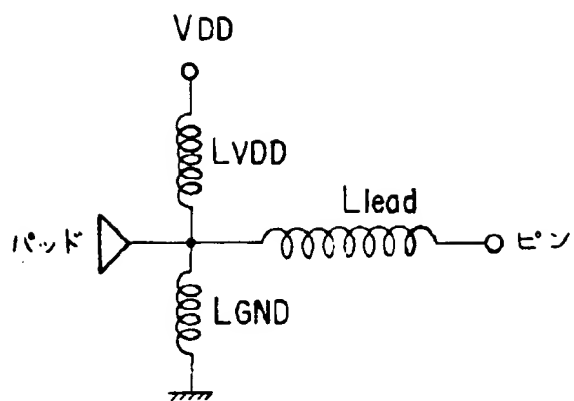
【図5】



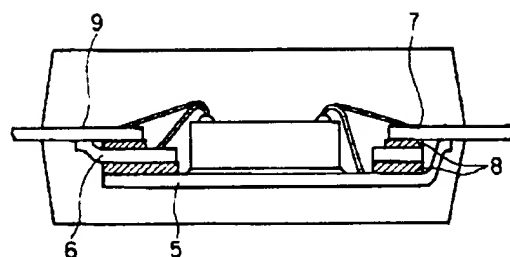
【図6】



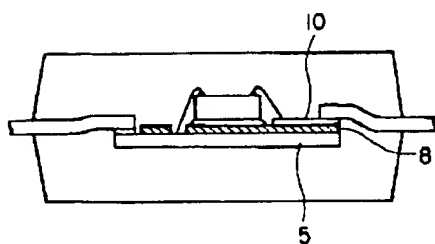
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 23/50

識別記号

庁内整理番号

S 9272-4M

F I

技術表示箇所